

PATENT
2936-0200P

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: HAMAGUCHI, Mutsumi et al. Conf.:
Appl. No.: NEW Group:
Filed: October 31, 2003 Examiner:
For: VOLTAGE-CONTROLLED OSCILLATOR AND
INTEGRATED CIRCUIT DEVICE PROVIDED WITH
IT

L E T T E R

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

October 31, 2003

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicants hereby claims the right of priority based on the following application:

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2002-319963	November 1, 2002

A certified copy of the above-noted application is attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By Terrell C. Birch, #19,382
Terrell C. Birch, #19,382

P.O. Box 747
Falls Church, VA 22040-0747
(703) 205-8000

TCB/msh
2936-0200P

Attachment

Mutsumi HAMAGUCHI
10/31/03 - BSKB
703-205-8000
日本国特許庁 2936-0200P
JAPAN PATENT OFFICE
1021

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年11月 1日

出願番号

Application Number:

特願2002-319963

[ST.10/C]:

[JP2002-319963]

出願人

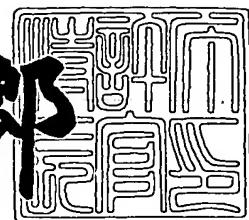
Applicant(s):

シャープ株式会社

2003年 6月24日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3049771

【書類名】 特許願
【整理番号】 02J03167
【提出日】 平成14年11月 1日
【あて先】 特許庁長官 殿
【国際特許分類】 H03L 7/099
【発明の名称】 電圧制御発振器及びこれを備えた集積回路装置
【請求項の数】 11
【発明者】
【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
【氏名】 ▲濱▼口 瞳
【発明者】
【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
【氏名】 山之上 雅文
【特許出願人】
【識別番号】 000005049
【氏名又は名称】 シャープ株式会社
【代理人】
【識別番号】 100085501
【弁理士】
【氏名又は名称】 佐野 静夫
【選任した代理人】
【識別番号】 100111811
【弁理士】
【氏名又は名称】 山田 茂樹
【選任した代理人】
【識別番号】 100121256
【弁理士】

【氏名又は名称】 小寺 淳一

【手数料の表示】

【予納台帳番号】 024969

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208726

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 電圧制御発振器及びこれを備えた集積回路装置

【特許請求の範囲】

【請求項1】 制御電圧に応じた周波数で発振する電圧制御発振回路と、該電圧制御発振回路の出力を所定レベルに制限するリミッタ回路と、を有して成ることを特徴とする電圧制御発振器。

【請求項2】 制御電圧に応じた周波数で発振する複数の電圧制御発振回路と、該電圧制御発振回路の1つを選択して動作させる選択回路と、選択された前記電圧制御発振回路の出力を所定レベルに制限するリミッタ回路と、を有して成ることを特徴とする電圧制御発振器。

【請求項3】 前記リミッタ回路は、前記電圧制御発振回路の出力を受けて飽和動作する差動増幅回路を有して成ることを特徴とする請求項1または請求項2に記載の電圧制御発振器。

【請求項4】 前記差動増幅回路の動作電流を生成する手段として、電流生成抵抗に所定電圧を印加して定電流を生成する定電流源を有して成ることを特徴とする請求項3に記載の電圧制御発振器。

【請求項5】 前記電流生成抵抗は、前記差動増幅回路の負荷抵抗と同種類の素子であり、両負荷抵抗の近傍に配置されて成ることを特徴とする請求項4に記載の電圧制御発振器。

【請求項6】 前記所定電圧を生成する手段として、バンドギャップ回路を有して成ることを特徴とする請求項4または請求項5に記載の電圧制御発振器。

【請求項7】 前記リミッタ回路は、各電圧制御発振回路からの配線長が等しくなるように配置されて成ることを特徴とする請求項2に記載の電圧制御発振器。

【請求項8】 前記リミッタ回路は、出力レベルの小さい電圧制御発振回路ほどその配線長が短くなるように配置されて成ることを特徴とする請求項2に記載の電圧制御発振器。

【請求項9】 前記電圧制御発振回路と前記リミッタ回路への電源ラインは、互いに分離されて成ることを特徴とする請求項1～請求項8のいずれかに記載の電圧制御発振器。

【請求項10】制御電圧に応じた周波数で発振する複数の電圧制御発振回路と該電圧制御発振回路の1つを選択して動作させる選択回路と、を有して成り、隣接する電圧制御発振回路の発振周波数可変域がその端部で互いに重複されて成る電圧制御発振器において、

最も低域側にばらついた状態におけるn(≥ 1)番目の電圧制御発振回路の上端周波数が、最も高域側にばらついた状態におけるm($= n + 1$)番目の電圧制御発振回路の下端周波数よりも高くなるように、各電圧制御発振回路の発振周波数可変域を調整して成ることを特徴とする電圧制御発振器。

【請求項11】請求項1～請求項10のいずれかに記載の電圧制御発振器を備えて成ることを特徴とする集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、制御電圧に応じた周波数で発振する電圧制御発振器及びこれを備えた集積回路装置に関するものである。

【0002】

【従来の技術】

衛星放送用チューナやケーブルテレビ用チューナ等には、ローカル信号の周波数を制御する手段として、PLL [Phase-locked-loop] シンセサイザ回路が搭載されており、その発振源としては、制御電圧に応じた周波数で発振する電圧制御発振器が一般に用いられている。なお、ローカル信号の周波数を広範に変化させる必要がある場合には、PLLシンセサイザ回路の発振源として、発振周波数可変域の異なる複数の電圧制御発振回路を並列に有し、各々を適宜切り換える電圧制御発振器が用いられる（特許文献1参照）。

【0003】

【特許文献1】

特開昭58-136142号公報

【0004】

【発明が解決しようとする課題】

確かに、特許文献1に開示された電圧制御発振器であれば、各電圧制御発振回路の発振周波数可変域を不要に広げることなく、ローカル信号の周波数を広範に変化させることができるので、各電圧制御発振回路を構成する共振回路のQ値低下を抑え、良好な位相雑音特性を得ることができる。

【0005】

しかしながら、上記構成から成る電圧制御発振器では、各電圧制御発振回路の出力レベルが異なるため、ローカル信号の出力レベルが周波数に応じて変動してしまうといった課題があり、後段回路が全ての周波数範囲で一定レベルのローカル信号入力を必要とする場合には問題となるおそれがあった。また、電圧制御発振回路を1つしか持たない電圧制御発振器でも、入力される制御電圧に応じてローカル信号の出力レベルが変動してしまう場合があり、上記と同様の問題を生じるおそれがあった。

【0006】

また、上記構成から成る電圧制御発振器では、隣接する電圧制御発振回路の発振周波数可変域をその端部で互いに重複させることにより、全体的な発振周波数可変域の連続性を担保していたが、各電圧制御発振回路の発振周波数可変域が種々の要因（電源電圧変動、動作温度変動、製造ばらつき等）でばらつくことについては、必ずしも十分な検討が為されていなかった。そのため、上記構成から成る電圧制御発振器を集積回路装置に搭載した場合には、ある周波数を発振するに際していずれの電圧制御発振回路を選択すべきかを一意的に決定することができないおそれがあった。

【0007】

上記課題について、図7を参照しながらより具体的な説明を行う。図7は従来の電圧制御発振器の発振周波数可変域を示す図である。本図に示す電圧制御発振器の場合、該電圧制御発振器を構成する電圧制御発振回路VCO1、VCO2の発振周波数可変域は、最も低域側にばらついた状態（low状態）で90～140 [MHz]、130～180 [MHz] となり、最も高域側にばらついた状態（high状態）で110～160 [MHz]、150～200 [MHz] となる。このように、従来の電圧制御発振器では、各状態下における電圧制御発振回

路VCO1、VCO2の発振周波数可変域がその端部で互いに重複されており、全体的な発振周波数可変域の連続性が確保されていた。

【0008】

確かに、上記構成から成る電圧制御発振器であれば、どのような条件下でも、110～180 [MHz] の周波数範囲で発振周波数を可変制御することが可能である。しかしながら、電圧制御発振回路VCO1、VCO2個々について見ると、ばらつきの影響を受けない発振周波数可変域は110～140 [MHz]、150～180 [MHz] に限られており、140～150 [MHz] の周波数範囲については、その発振に際していずれの電圧制御発振回路VCO1、VCO2を選択すべきかを一意的に決定することができなかった。そのため、上記構成から成る電圧制御発振器では、各電圧制御発振回路VCO1、VCO2が所望の周波数を発振できるか否かを判定する回路と、発振できなかった場合に他方の電圧制御発振回路を選択する回路と、が必要であり、回路規模や消費電力の増大が招かれていた。

【0009】

本発明は、上記の問題点に鑑み、発振周波数に関係なく常に一定の出力レベルを維持することが可能な電圧制御発振器、及びこれを備えた集積回路装置を提供することを第1の目的とする。

【0010】

また、本発明は、上記の問題点に鑑み、ある周波数を発振するに際していずれの電圧制御発振回路を選択すべきかを一意的に決定することができる電圧制御発振器、及びこれを備えた集積回路装置を提供することを第2の目的とする。

【0011】

【課題を解決するための手段】

上記第1の目的を達成するために、本発明に係る電圧制御発振器は、制御電圧に応じた周波数で発振する電圧制御発振回路と、該電圧制御発振回路の出力を所定レベルに制限するリミッタ回路と、を有して成る構成としている。或いは、制御電圧に応じた周波数で発振する複数の電圧制御発振回路と、該電圧制御発振回路の1つを選択して動作させる選択回路と、選択された前記電圧制御発振回路の

出力を所定レベルに制限するリミッタ回路と、を有して成る構成としている。このような構成とすることにより、発振周波数に関係なく常に一定の出力レベルを維持することが可能となる。

【0012】

なお、上記構成から成る電圧制御発振器において、前記リミッタ回路は、前記電圧制御発振回路の出力を受けて飽和動作する差動増幅回路を有して成る構成にするとよい。このような構成とすることにより、リミッタ回路を簡易な回路構成で実現することが可能となる。

【0013】

また、上記構成から成る電圧制御発振器は、前記差動増幅回路の動作電流を生成する手段として、電流生成抵抗に所定電圧を印加して定電流を生成する定電流源を有して成る構成にするとよい。このような構成とすることにより、電圧制御発振器の集積回路化に際してリミッタ回路の負荷抵抗値がばらついた場合でも、その影響を電流生成抵抗値のばらつき分で相殺することができるので、出力レベルのばらつきを抑えることが可能となる。

【0014】

また、上記構成から成る電圧制御発振器において、前記電流生成抵抗は、前記差動増幅回路の負荷抵抗と同種類の素子であり、両負荷抵抗の近傍に配置されて成る構成にするとよい。このような構成とすることにより、差動増幅回路の負荷抵抗と電流生成抵抗の製造ばらつき傾向が同様となるので、出力レベルのばらつきを最小限に抑えることが可能となる。

【0015】

また、上記構成から成る電圧制御発振器は、前記所定電圧を生成する手段として、バンドギャップ回路を有して成る構成にするとよい。このような構成とすることにより、製造ばらつきが生じた場合だけでなく、電源電圧変動や動作温度変動が生じた場合でも、出力レベルを一定に維持することが可能となる。

【0016】

また、上記構成から成る電圧制御発振器において、前記リミッタ回路は、各電圧制御発振回路からの配線長が等しくなるように配置されて成る構成にするとよ

い。このような構成とすることにより、配線容量に起因する各電圧制御発振回路の出力減衰量に差が生じないので、リミッタ回路は、複数の電圧制御発振回路について同一動作をすることが可能となる。

【0017】

また、上記構成から成る電圧制御発振器において、前記リミッタ回路は、出力レベルの小さい電圧制御発振回路ほどその配線長が短くなるように配置されて成る構成にするとよい。このような構成とすることにより、出力レベルの小さい電圧制御発振回路ほど配線容量に起因する出力減衰量が小さくなるので、リミッタ回路の飽和動作に必要な所定入力レベルを維持しやすくなり、その飽和動作に余裕を持たせることが可能となる。

【0018】

また、上記構成から成る電圧制御発振器において、前記電圧制御発振回路と前記リミッタ回路への電源ラインは、互いに分離されて成る構成にするとよい。このような構成とすることにより、リミッタ回路の付加に伴う電圧制御発振回路の位相雑音特性劣化を回避することが可能となる。

【0019】

また、上記第2の目的を達成するために、本発明に係る電圧制御発振器は、制御電圧に応じた周波数で発振する複数の電圧制御発振回路と該電圧制御発振回路の1つを選択して動作させる選択回路と、を有して成り、隣接する電圧制御発振回路の発振周波数可変域がその端部で互いに重複されて成る電圧制御発振器において、最も低域側にばらついた状態における n (≥ 1) 番目の電圧制御発振回路の上端周波数が、最も高域側にばらついた状態における m ($= n + 1$) 番目の電圧制御発振回路の下端周波数よりも高くなるように各電圧制御発振回路の発振周波数可変域を調整して成る構成としている。このような構成とすることにより、発振周波数可変域の連續性を維持することはもちろん、ある周波数を発振するに際していずれの電圧制御発振回路を選択すべきかを一意的に決定することも可能となる。従って、各電圧制御発振回路が所望の周波数を発振できるか否かを判定する回路や、発振できなかった場合に他方の電圧制御発振回路を選択する回路が必要となるため、回路規模縮小や消費電力低減に貢献することができる。

【0020】

なお、本発明に係る集積回路装置は、上記構成から成る電圧制御発振器を備えて成る構成とすればよい。このような構成とすることにより、第1の目的または第2の目的を達成した集積回路装置を提供することが可能となる。

【0021】

【発明の実施の形態】

図1は本発明に係る電圧制御発振器のブロック図である。本図(a)に示すように、本発明に係る電圧制御発振器1aは、制御電圧に応じた周波数で発振する電圧制御発振回路VCOと、該電圧制御発振回路VCOの出力を所定レベルに制限するリミッタ回路LMTと、を有して成る。本構成から成る電圧制御発振器1aでは、制御電圧に応じて電圧制御発振回路VCOの出力レベルがその発振周波数と共に変動した場合でも、各出力レベルが所定レベルを超えていれば、リミッタ回路LMTの出力レベルは一定となる。このような構成とすることにより、発振周波数に関係なく常に一定の出力レベルを維持することが可能となる。

【0022】

なお、発振周波数を広範に変化する必要がある場合には、本図(b)に示す電圧制御発振器1bのように、制御電圧に応じた周波数で発振する複数の電圧制御発振回路VCO₁～VCO_nと、該電圧制御発振回路VCO₁～VCO_nの1つを選択して動作させる選択回路SLTと、選択された電圧制御発振回路の出力を所定レベルに制限するリミッタ回路LMTと、を有して成る構成にするとよい。本構成から成る電圧制御発振器1bでは、電圧制御発振回路VCO₁～VCO_nの出力レベルが各々異なる場合でも、各出力レベルが所定レベルを超えていればリミッタ回路LMTの出力レベルは一定となる。このような構成とすることにより、発振周波数に関係なく常に一定の出力レベルを維持することが可能となる。

【0023】

上記構成から成る電圧制御発振器の具体的な回路構成及び動作について、図2を参照しながら詳細な説明を行う。図2は本発明に係る電圧制御発振器の第1実施形態を示す回路図である。本図に示すように、本実施形態の電圧制御発振回路1cは、発振周波数可変域の異なる2つの電圧制御発振回路VCO₁、VCO₂

と、該電圧制御発振回路VCO1、VCO2の一方を選択して動作させる選択回路SLTと、選択された電圧制御発振回路の出力を所定レベルに制限するリミッタ回路LMTと、を有して成る。

【0024】

電圧制御発振回路VCO1は、PMOSトランジスタP11、P12と、NMOSトランジスタN11～N14と、インダクタL11、L12と、可変容量ダイオードC11、C12と、を有して成る。同様に、電圧制御発振回路VCO2は、PMOSトランジスタP21、P22と、NMOSトランジスタN21～N24と、インダクタL21、L22と、可変容量ダイオードC21、C22と、を有して成る。また、リミッタ回路LMTは、NMOSトランジスタN31～N34と、負荷抵抗Rout1、Rout2と、定電流源I1と、を有して成る。

【0025】

トランジスタP11、P12のソースは互いに接続されており、その接続ノードは選択回路SLTの一出力端子に接続されている。トランジスタP11のドレインは、トランジスタP12のゲートと、インダクタL11の一端と、可変容量ダイオードC11のカソードと、トランジスタN11のドレインと、トランジスタN12、N14の両ゲートと、にそれぞれ接続されている。トランジスタP12のドレインは、トランジスタP11のゲートと、インダクタL12の一端と、可変容量ダイオードC12のカソードと、トランジスタN12のドレインと、トランジスタN11、N13の両ゲートと、にそれぞれ接続されている。インダクタL11、L12の他端は互いに接続されている。可変容量ダイオードC11、C12のアノードは互いに接続されており、その接続ノードは制御電圧ラインに接続されている。トランジスタN11～N14のソースは互いに接続されており、その接続ノードは接地されている。

【0026】

トランジスタP21、P22のソースは互いに接続されており、その接続ノードは選択回路SLTの他出力端子に接続されている。トランジスタP21のドレインは、トランジスタP22のゲートと、インダクタL21の一端と、可変容量ダイオードC21のカソードと、トランジスタN21のドレインと、トランジ

タN22、N24の両ゲートと、にそれぞれ接続されている。トランジスタP22のドレインは、トランジスタP21のゲートと、インダクタL22の一端と、可変容量ダイオードC22のカソードと、トランジスタN22のドレインと、トランジスタN21、N23の両ゲートと、にそれぞれ接続されている。インダクタL21、L22の他端は互いに接続されている。可変容量ダイオードC21、C22のアノードは互いに接続されており、その接続ノードは制御電圧ラインに接続されている。トランジスタN21～N24のドレインは互いに接続されており、その接続ノードは接地されている。

【0027】

トランジスタN13、N23のドレインは互いに接続されており、その接続ノードは電圧変換抵抗Rin1を介して電源ラインに接続されている。また、トランジスタN14、N24のドレインは互いに接続されており、その接続ノードは電圧変換抵抗Rin2を介して電源ラインに接続されている。

【0028】

電圧変換抵抗Rin1、Rin2の一端（端子A、B）は、それぞれリミッタ回路LMTの差動入力端子に相当するトランジスタN31、N32のゲートに接続されている。リミッタ回路LMTの作動出力端子に相当するトランジスタN31、N32のドレインは、それぞれ負荷抵抗ROUT1、ROUT2を介して互いに接続されており、その接続ノードは電源ラインに接続されている。トランジスタN31、N32のソースは互いに接続されており、その接続ノードはトランジスタN34のドレインに接続されている。トランジスタN33、N34のゲートは互いに接続されており、その接続ノードはトランジスタN33のドレインに接続されている。トランジスタN33のドレインは定電流源I1を介して電源ラインに接続されている。トランジスタN33、N34のソースは互いに接続されており、その接続ノードは接地されている。なお、本実施形態では、トランジスタN33、N34から成るカレントミラー回路のミラー比を1:1としている。当然ながら、カレントミラー回路のミラー比は、1:1である必要はなく、1:a(aは正の整数)でも良い。

【0029】

上記構成から成る電圧制御発振器1cにおいて、電圧制御発振回路VCO1、VCO2のうち、選択回路SLTによって選択された方には電源電圧が与えられて発振動作が可能となる。このとき、電圧制御発振回路VCO1、VCO2は、それぞれ次の(1)式に示す発振周波数f1、f2で発振する。なお、(1)式中の変数L1はインダクタL11、L12のインダクタンスを示し、変数L2はインダクタL21、L22のインダクタンスを示している。また、変数C1は可変容量ダイオードC11、C12の容量を示し、変数C2は可変容量ダイオードC21、C22の容量を示している。

【数1】

$$f1 = \frac{1}{2\pi\sqrt{L1 \cdot C1}} , \quad f2 = \frac{1}{2\pi\sqrt{L2 \cdot C2}} \quad \dots \quad (1)$$

【0030】

なお、変数C1、C2は制御電圧に応じて変化するので、該制御電圧を変化させることにより発振周波数f1、f2を可変制御することが可能である。また、変数L1、L2及び変数C1、C2を適宜調整することにより、発振周波数可変域の異なる電圧制御発振回路VCO1、VCO2を得ることができる。

【0031】

電圧制御発振回路VCO1、VCO2の電流出力は、合成後に電圧変換抵抗Rin1、Rin2で電圧に変換される。なお、電圧制御発振回路VCO1、VCO2の電流出力が小さければ、電圧変換抵抗Rin1、Rin2の抵抗値を大きくすることで、より大きい電圧を取り出すことができる。電圧変換された発振出力は、リミッタ回路LMTを構成する差動増幅回路に入力される。このとき、入力電圧が差動増幅回路のダイナミックレンジより大きければ、該差動増幅回路は飽和動作をし、出力レベルが一定となる。

【0032】

リミッタ回路LMTの動作についてさらに詳細な説明を行う。リミッタ回路LMTを構成する差動増幅回路に対して、そのダイナミックレンジより大きい電圧が入力された場合には、トランジスタN31、N32の一方がオン状態となり、他方がオフ状態となる。例えば、端子Aの電圧が高く、端子Bの電圧が低い場合

には、トランジスタN31がオン状態となり、トランジスタN32がオフ状態となる。逆に、端子Aの電圧が低く、端子Bの電圧が高い場合には、トランジスタN31がオフ状態になり、トランジスタN32がオン状態となる。

【0033】

ここで、電源電圧をVDD、差動増幅回路の負荷抵抗Rout1、Rout2の抵抗値をRout、トランジスタN34を流れるテイル電流値（差動増幅回路の動作電流値）をIとすると、作動増幅回路の飽和動作時に出力端子OUT1、OUT2で得られる電圧値は、それぞれVDDまたはVDD- (Rout×I)のいずれかとなる。従って、差動出力振幅（すなわちリミッタ回路LMTの出力レベル）は $2 \times R_{out} \times I$ となるので、差動増幅回路の負荷抵抗値Routとテイル電流値Iを適当に選択すれば任意の出力レベルを得ることができる。

【0034】

次に、本発明の第2実施形態について図3を参照しながら詳細な説明を行う。図3は本発明に係る電圧制御発振器の第2実施形態を示す回路図である。本実施形態の電圧制御発振器1dは、その集積回路化に際してトランジスタや抵抗等の製造ばらつきが生じた場合でも、出力レベルのばらつきを最小限に抑えることができるように構成されたものである。なお、本図に示すように、本実施形態の電圧制御発振回路1dは、前出の第1実施形態（図2参照）とほぼ同様の構成から成る。そこで、第1実施形態と同様の部分については図2と同一符号を付することで説明を省略し、以下では本実施形態の特徴部分（リミッタ回路LMTを構成する定電流源I1の回路構成）について重点を置いた説明を行うことにする。

【0035】

本図に示すように、本実施形態の電圧制御発振器1dにおいて、リミッタ回路LMTを構成する定電流源I1は、PMOSトランジスタP31、P32、電流生成抵抗Rbiasと、を有して成る。トランジスタP31、P32のソースは互いに接続されており、その接続ノードは電源ラインに接続されている。トランジスタP31、P32のゲートは互いに接続されており、その接続ノードはトランジスタP31のドレインに接続されている。トランジスタP31のドレインはバイアス電圧ラインに接続される一方で、電流生成抵抗Rbiasを介して接地

されている。トランジスタP32のドレインはトランジスタN33のドレインに接続されている。なお、本実施形態では、トランジスタP31、P32から成るカレントミラー回路のミラー比を1:1としている。当然ながら、カレントミラー回路のミラー比は1:1である必要はなく、1:b(bは正の整数)でも良い。

【0036】

上記構成から成る定電流源I1にバイアス電圧Vbiasが印加された場合、差動増幅回路のテイル電流値Iは $Vbias/Rbias$ となり、リミッタ回路LMTの差動出力振幅は、 $2 \times Rout \times I = 2 \times Rout \times (Vbias/Rbias)$ となる。このように、差動増幅回路のテイル電流値Iを完全に固定するのではなく、電流生成抵抗値Rbiasのばらつきに応じて変動させる構成であれば、電圧制御発振器1dの集積回路化に際してリミッタ回路LMTの負荷抵抗値Routがばらついた場合でも、その影響を電流生成抵抗値Rbiasのばらつき分で相殺することができるので、出力レベルのばらつきを抑えることが可能となる。

【0037】

特に、電流生成抵抗Rbiasを負荷抵抗Rout1、Rout2と同種類の素子とし、両負荷抵抗Rout1、Rout2の近傍に配置すれば、互いの製造ばらつき傾向が同様となるので、出力レベルのばらつきを最小限に抑えることが可能となる。

【0038】

また、上記構成から成る定電流源I1に印加するバイアス電圧Vbiasとしてはバンドギャップ電圧を用いるとよい。このような構成とすることにより、製造ばらつきが生じた場合だけでなく、電源電圧変動や動作温度変動が生じた場合でも、出力レベルを一定に維持することが可能となる。

【0039】

次に、電圧制御発振回路VCO1、VCO2とリミッタ回路LMTの配置レイアウトについて、図4を参照しながら説明する。図4は電圧制御発振回路VCO1、VCO2とリミッタ回路LMTの配置レイアウトを示すブロック図である。

【0040】

本発明に係る電圧制御発振器において、リミッタ回路 LMT は電圧制御発振回路 VCO 1、VCO 2 からの配線長が等しくなるように配置するとよい。なお、本図 (a) では、リミッタ回路 LMT を両電圧制御発振回路 VCO 1、VCO 2 から等距離の位置に配置している。このような構成とすることにより、配線容量に起因する各電圧制御発振回路 VCO 1、VCO 2 の出力減衰量に差が生じないので、リミッタ回路 LMT は、電圧制御発振回路 VCO 1、VCO 2 双方について同一動作をすることが可能となる。

【0041】

また、上記配置を実現できない場合や、リミッタ回路 LMT の飽和動作余裕を重視する場合、リミッタ回路 LMT は出力レベルの小さい電圧制御発振回路ほどその配線長が短くなるように配置するとよい。なお、本図 (b) では、リミッタ回路 LMT を相対的に出力レベルの小さい電圧制御発振回路（ここでは電圧制御発振回路 VCO 1）の近傍に配置している。このような構成とすることにより、出力レベルの小さい電圧制御発振回路ほど配線容量に起因する出力減衰量が小さくなるので、リミッタ回路 LMT の飽和動作に必要な所定入力レベルを維持しやすくなり、その飽和動作に余裕を持たせることが可能となる。

【0042】

次に、電圧制御発振回路とリミッタ回路への電源ラインレイアウトについて、図 5 を参照しながら説明する。図 5 は電圧制御発振回路とリミッタ回路への電源ラインレイアウトを示すブロック図である。本図 (a) は本発明に係る電圧制御発振器の回路構成であり、電圧制御発振回路 VCO とリミッタ回路 LMT への電源ラインは互いに分離されている。一方、本図 (b) は電圧制御発振回路 VCO とリミッタ回路 LMT への電源ラインを共通とした回路構成を参考までに示している。なお、本図 (a)、(b) 中の抵抗 Ra～Rd は、それぞれ電源ラインの配線抵抗を示している。

【0043】

上記したように、本発明に係る電圧制御発振器は、電圧制御発振回路 VCO とリミッタ回路 LMT への電源ラインを互いに分離して成る構成である。このように、電源ラインと電圧制御発振回路 VCO 及びリミッタ回路 LMT 間の共通負荷

をなくした構成とすることにより、一方の回路が他方の回路から影響を受けることがなくなる。具体的に説明すると、本図（b）の構成では、電圧制御発振回路VCOに $(R_a + R_b) \times (I_a + I_b)$ の電圧降下が生じるのに対して、本図（a）の回路構成であれば、電圧降下は $(R_a + R_b) \times I_a$ で済み、 $(R_a + R_b) \times I_b$ だけ電圧降下を低減することができる。従って、本構成を採用することにより、リミッタ回路LMTの付加に伴う電圧制御発振回路VCOの位相雑音特性劣化を回避することが可能となる。

【0044】

次に、各電圧制御発振回路の発振周波数可変域について、図6を参照しながら説明する。図6は本発明に係る電圧制御発振器の発振周波数可変域を示す図である。本図に示す電圧制御発振器の場合、該電圧制御発振器を構成する電圧制御発振回路VCO1～VCO3の発振周波数可変域は、最も低域側にばらついた状態（low状態）で90～140 [MHz]、110～160 [MHz]、及び130～180 [MHz]となり、最も高域側にばらついた状態（high状態）で110～160 [MHz]、130～180 [MHz]、及び150～200 [MHz]となる。このように、本発明に係る電圧制御発振器では、従来と同じく各状態下における電圧制御発振回路VCO1～VCO3の発振周波数可変域がその端部で互いに重複されていることに加えて、電圧制御発振回路VCO1～VCO3個々についてばらつきの影響を受けない発振周波数可変域（それぞれ110～140 [MHz]、130～160 [MHz]、及び150～180 [MHz]）もその端部で互いに重複されている。すなわち、本発明に係る電圧制御発振器では、low状態におけるn（ ≥ 1 ）番目の電圧制御発振回路VCO_nの上端周波数が、high状態におけるm（=n+1）番目の電圧制御発振回路VCO_mの下端周波数よりも高くなるように各発振周波数可変域が調整されている。

【0045】

上記構成から成る電圧制御発振器であれば、どのような条件下でも、110～180 [MHz]の周波数範囲で発振周波数を可変制御することはもちろん、ある周波数を発振するに際していずれの電圧制御発振回路を選択すべきかを一意的に決定することも可能となる。従って、各電圧制御発振回路VCO1～VCO3

が所望の周波数を発振できるか否かを判定する回路や、発振できなかった場合に他方の電圧制御発振回路を選択する回路が不要となるため、回路規模縮小や消費電力低減に貢献することができる。

【0046】

【発明の効果】

上記で説明したように、本発明に係る電圧制御発振器及びこれを備えた集積回路装置であれば、発振周波数に関係なく常に一定の出力レベルを維持することが可能となる。また、本発明に係る電圧制御発振器及びこれを備えた集積回路装置であれば、ある周波数を発振するに際していずれの電圧制御発振回路を選択すべきかを一意的に決定することが可能となる。

【図面の簡単な説明】

【図1】 本発明に係る電圧制御発振器のブロック図である。

【図2】 本発明に係る電圧制御発振器の第1実施形態を示す回路図である。

【図3】 本発明に係る電圧制御発振器の第2実施形態を示す回路図である。

【図4】 電圧制御発振回路VCO1、VCO2とリミッタ回路LMTの配置レイアウトを示すブロック図である。

【図5】 電圧制御発振回路とリミッタ回路への電源ラインレイアウトを示すブロック図である。

【図6】 本発明に係る電圧制御発振器の発振周波数可変域を示す図である。

【図7】 従来の電圧制御発振器の発振周波数可変域を示す図である。

【符号の説明】

1a～1d 電圧制御発振器

VCO、VCO1～VCO_n 電圧制御発振回路

LMT リミッタ回路

S LT 選択回路

P11、P12 PMOSトランジスタ

N11～N14 NMOSトランジスタ

L11、L12 インダクタ

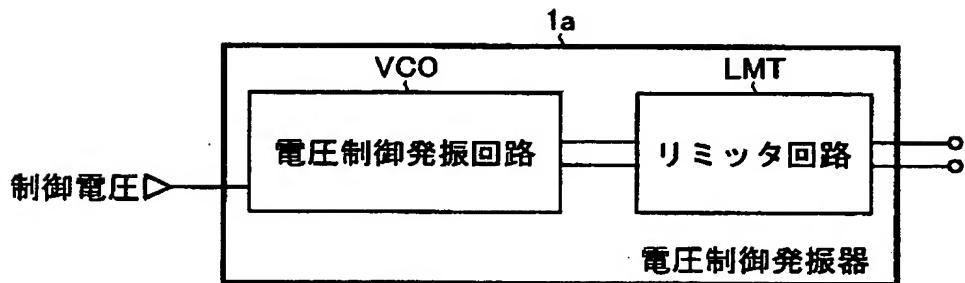
C11、C12 可変容量ダイオード

P 2 1、P 2 2 PMOSトランジスタ
N 2 1～N 2 4 NMOSトランジスタ
L 2 1、L 2 2 インダクタ
C 2 1、C 2 2 可変容量ダイオード
N 3 1～N 3 4 NMOSトランジスタ
R i n 1、R i n 2 電圧変換抵抗
R o u t 1、R o u t 2 負荷抵抗
I 1 定電流源
P 3 1、P 3 2 PMOSトランジスタ
R b i a s 電流生成抵抗
R a～R d 配線抵抗

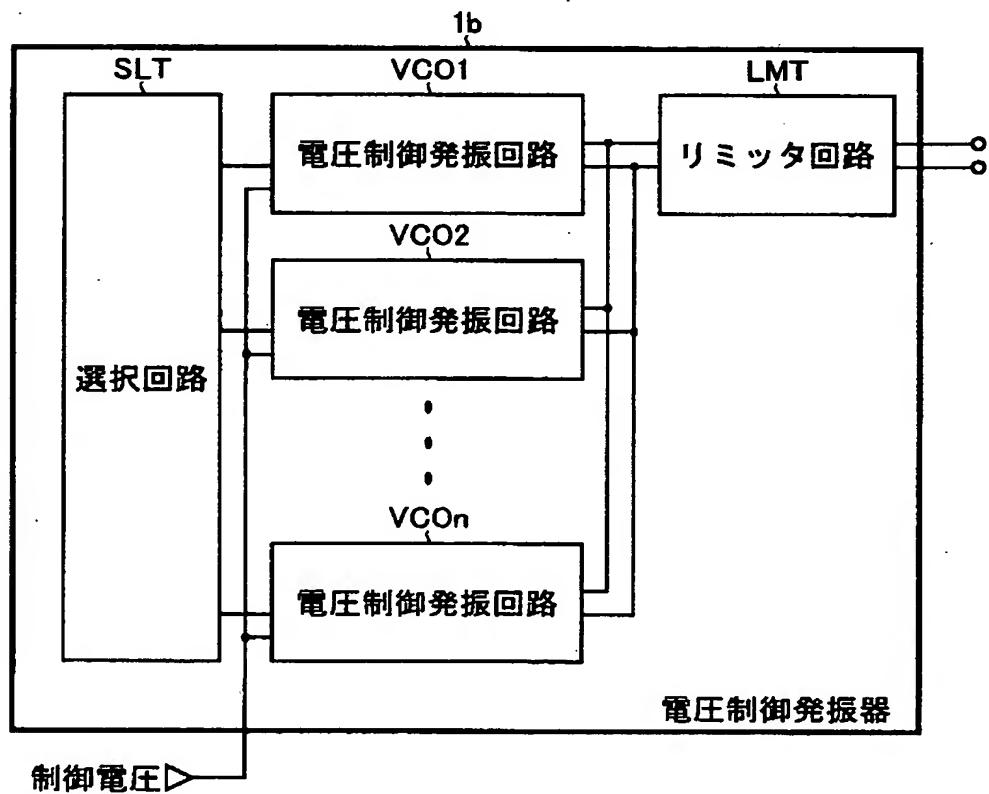
【書類名】 図面

【図1】

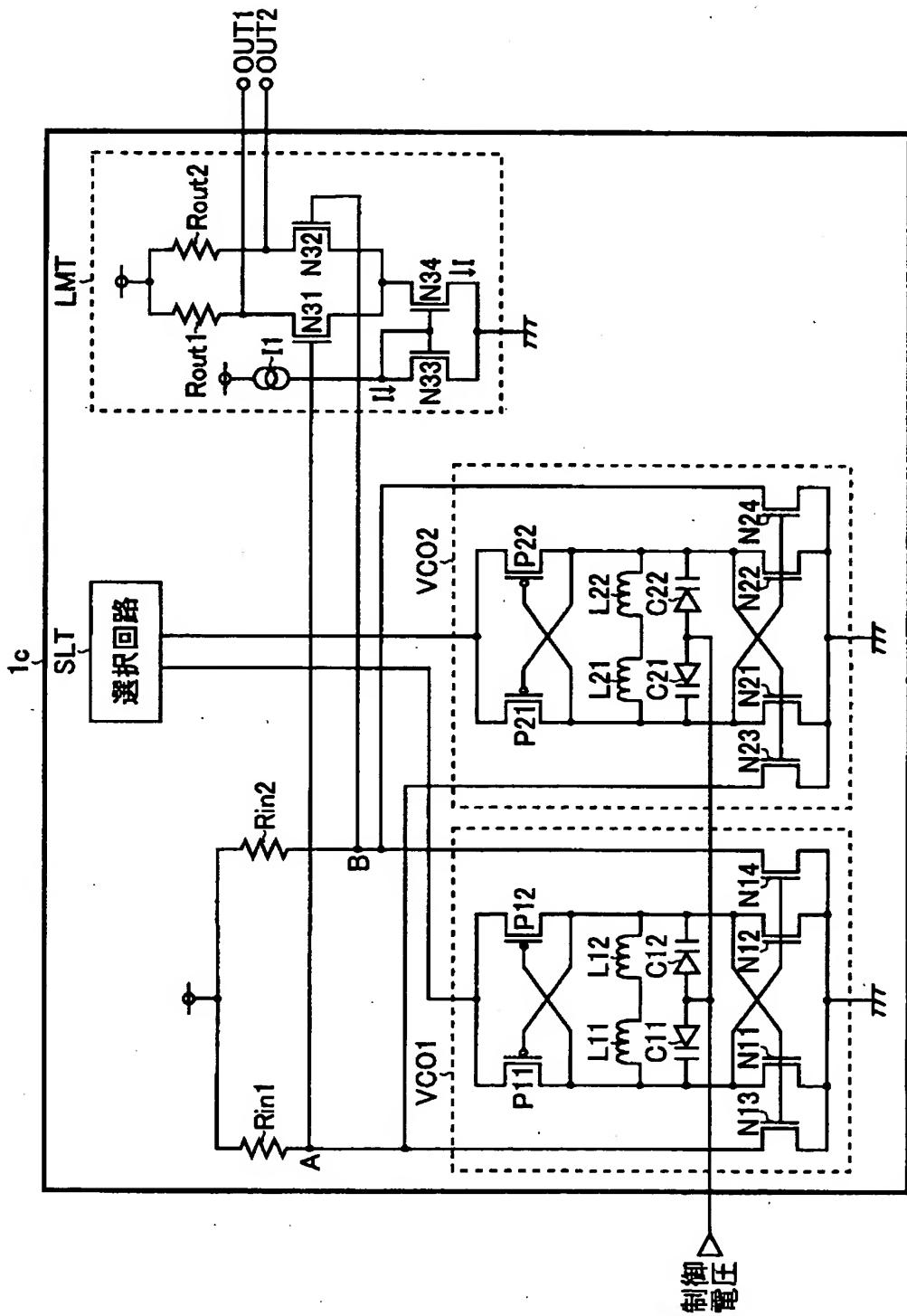
(a)



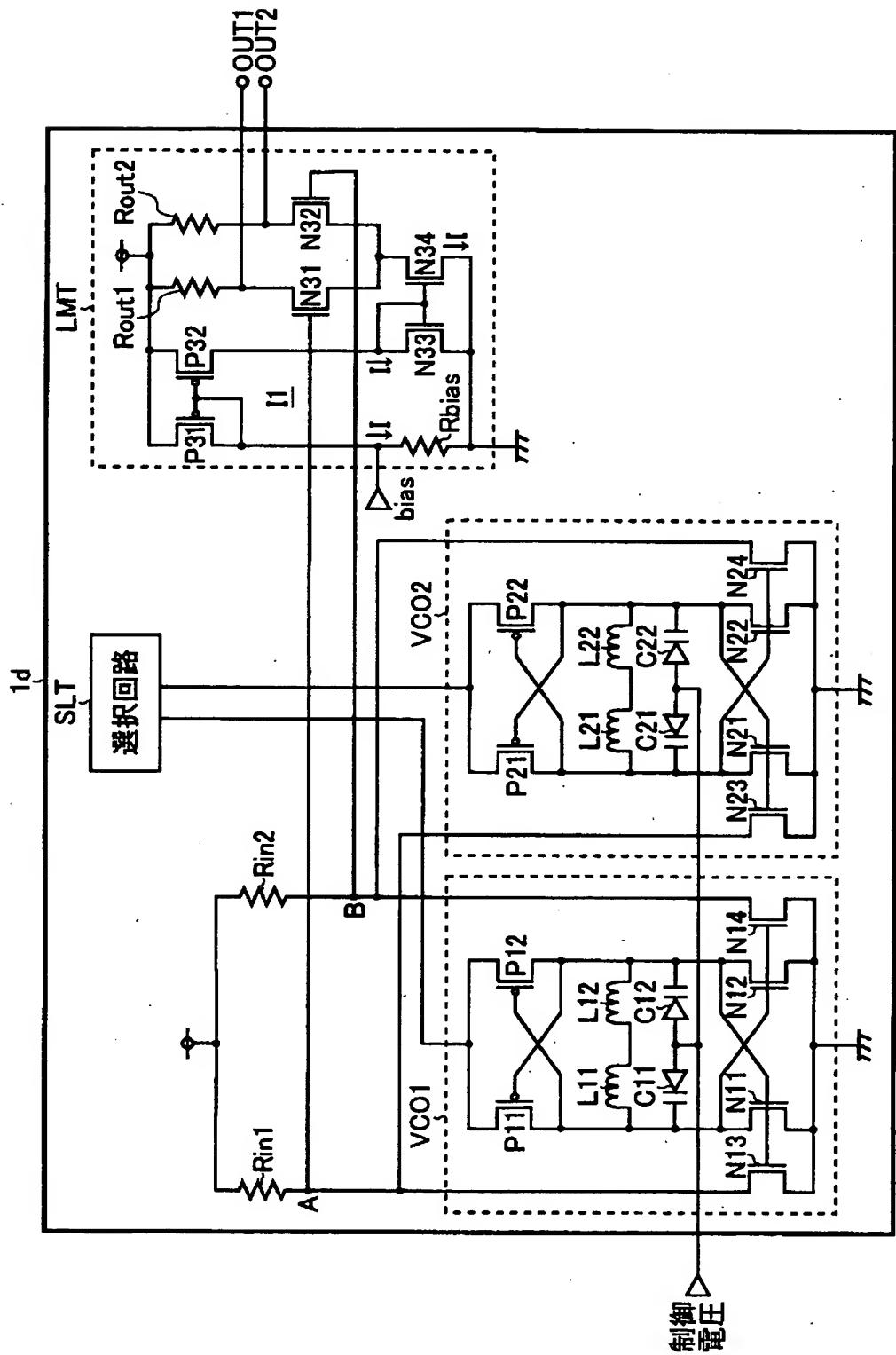
(b)



【図2】

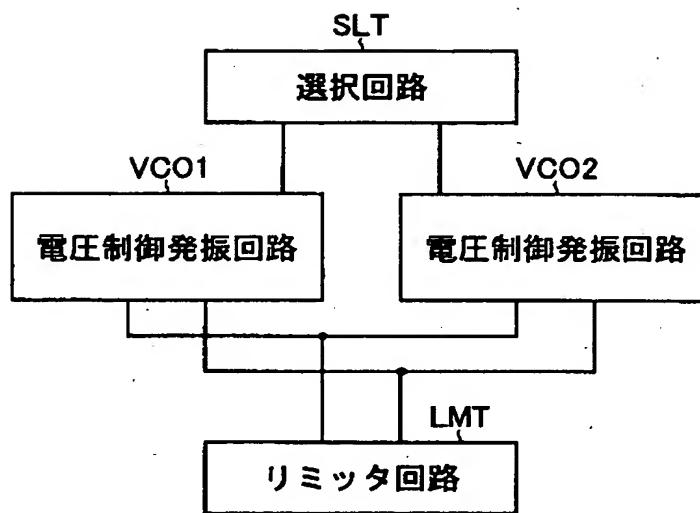


【図3】

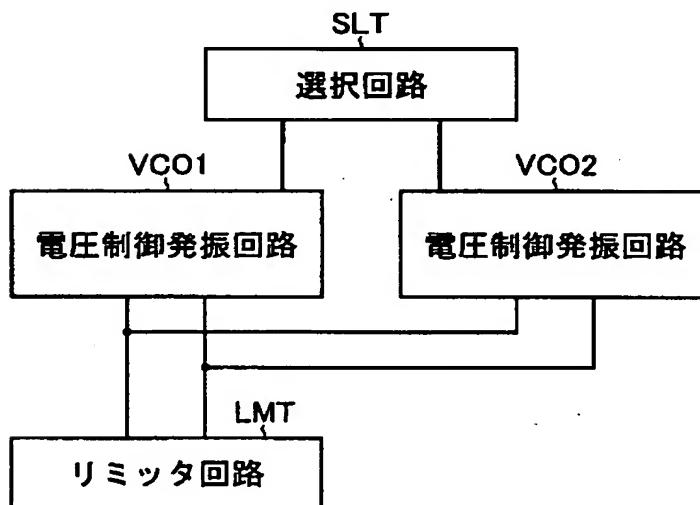


【図4】

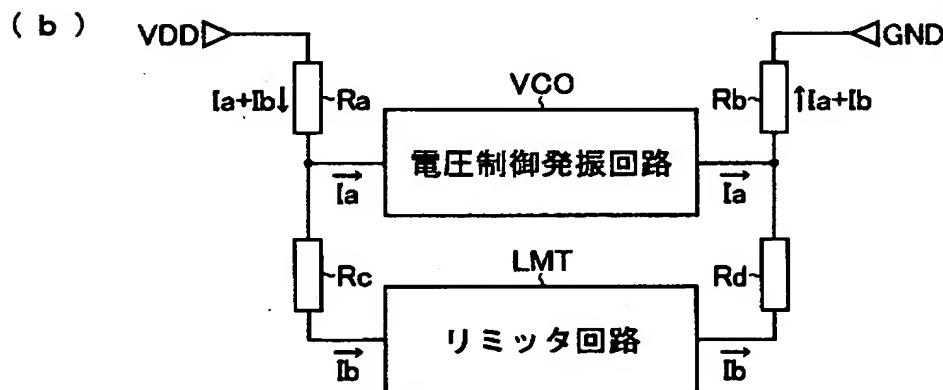
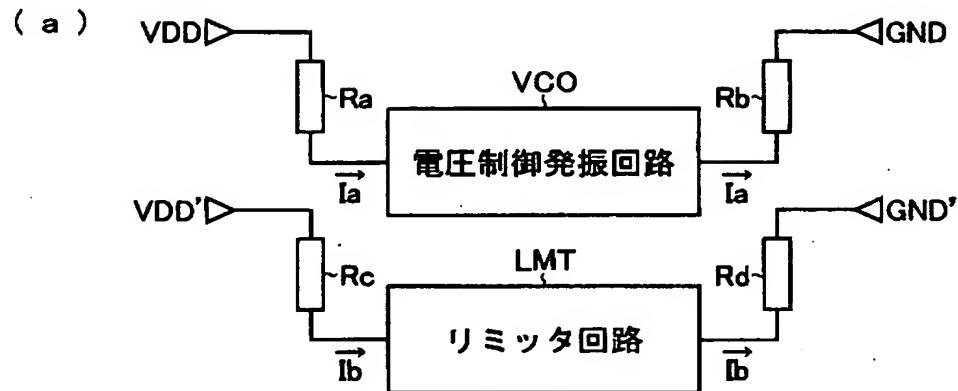
(a)



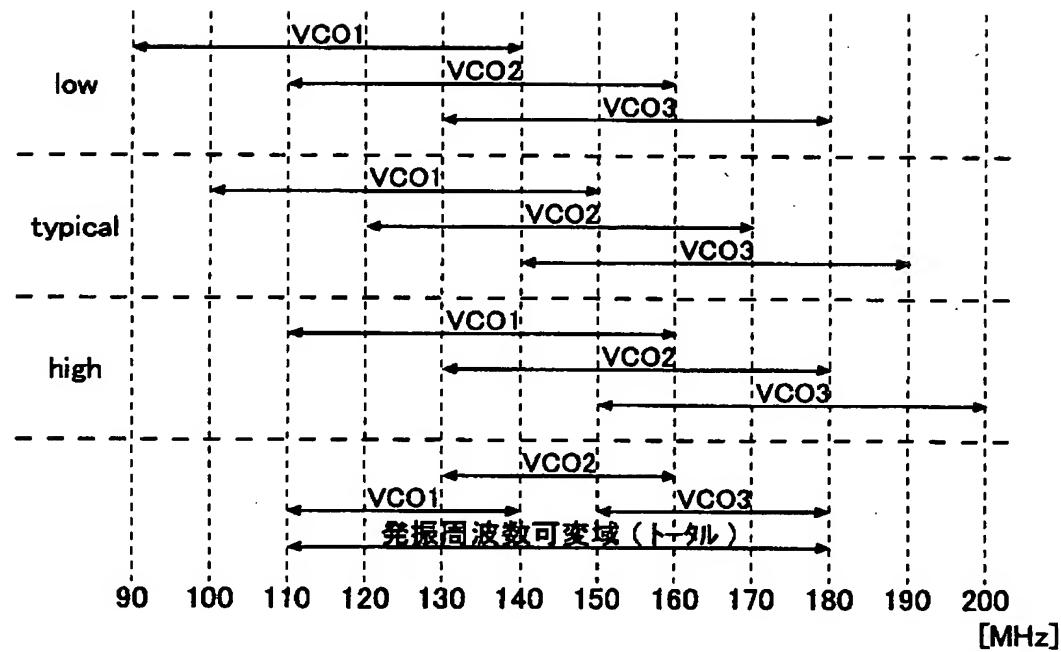
(b)



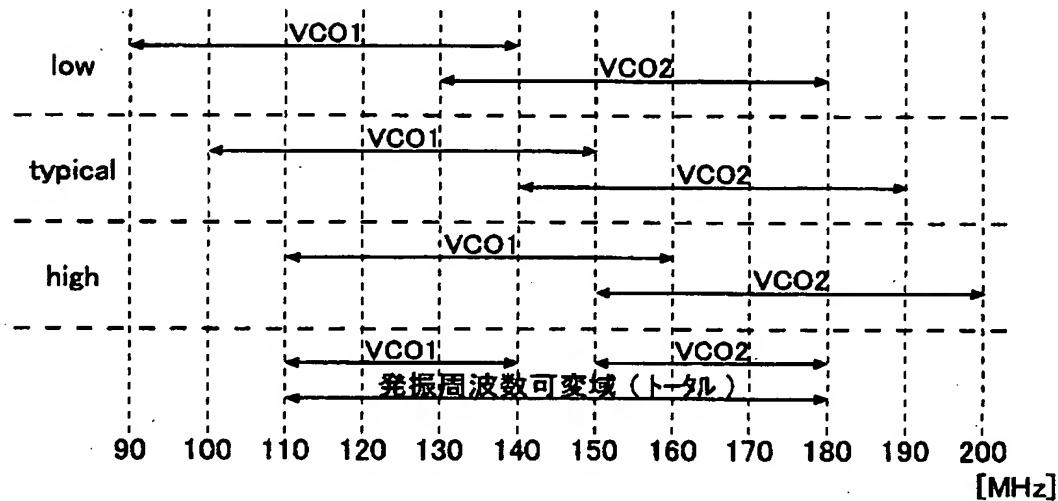
【図5】



【図6】



【図7】



【書類名】 要約書

【要約】

【課題】 本発明は、発振周波数に関係なく常に一定の出力レベルを維持することができる可能な電圧制御発振器を提供することを目的とする。

【解決手段】 本発明に係る電圧制御発振器 1 a は、制御電圧に応じた周波数で発振する電圧制御発振回路 VCO と、該電圧制御発振回路 VCO の出力を所定レベルに制限するリミッタ回路 LMT と、を有して成る構成としている。

【選択図】 図 1

出願人履歴情報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町22番22号

氏 名 シャープ株式会社